

HCL02101 系列

32 位 ARM Cortex-M0+ 微控制器

数据手册

Beta0.24

2025 年 9 月

产品特性

支持特性

- 48MHz Cortex-M0+ 32 位 CPU 平台
- 64K 字节 FLASH 存储器，具有擦写保护功能，支持 ISP、ICP、IAP，4 级安全保护
- 6K 字节 RAM 存储器
- 通用 I/O 管脚 (13IO/24pin,)
 - 部分 IO 支持滤波
- 时钟、晶振
 - 内部高速时钟 RC48M: 4/6/32/48MHz
 - 内部低速时钟 RCL: 32.768/38.4kHz
 - 外部有源时钟输入
- 定时器/计数器
 - 2 个复合定时器 CTIM
 - 1 个高级 16 位定时器 ATIM3
 - 1 个独立看门狗电路，内部低速时钟提供 IWDG 计数
 - 1 个时钟校准模块 CTRIM，支持超低功耗定时功能，支持最大 65536s 超长定时和自动唤醒，支持内部时钟实时校准功能
 - 1 个 RTC 实时日历时钟计数器，支持最高 0.06ppm 补偿精度
 - 1 个 CM0+内置 24 位 SysTick 定时器
- 通讯接口
 - 2 路 LPUART 通讯接口
 - 1 路 SPI 标准通讯接口
 - 1 路 I2C 高速通讯接口
- 1 路 TRNG: 64bit 随机数发生器
- 全球唯一 10 字节 ID 号
- 集成 1 个 12 位 1Msps 采样的高速高精度 SAR ADC
- 2 路电压比较器 VC，可配置 64 阶比较电压，可配置 12 档滤波
- 集成 1 路低电压侦测器 LVD，可配置 16 阶比较电平，可配置 12 档滤波，可监控端口电压以及电源电压
- 集成 2 路轨到轨输出运算放大器；
- 集成 1 个宽电压输入的线性调整器；
- SWD 调试解决方案，提供全功能调试器
- 工作条件: -40~85℃, 3.3~40V
- 封装形式: TSSOP24,

支持型号

HCL02101	

说明事项

版权所有©2025 小华半导体有限公司。保留所有权利

本文件及附件包含的信息有关知识产权权益全部属于小华半导体有限公司（以下简称“XHSC”）；客户对本文件及附件包含的信息只享有内部使用权，未经 XHSC 书面允许，任何单位和个人不得擅自摘抄、复制、改动或以其他任何形式使用本文件的部分或全部内容，并不得以任何形式进行传播。

商标声明

 小华半导体有限公司、 小华半导体和其他商标均为 XHSC 的商标。所有其他在 XHSC 产品上显示的产品或服务名称均为其各自所有者的财产。

注意事项

- XHSC 保留随时更改、更正、增强、修改产品和/或本文档的权利，恕不另行通知。用户可在下单前获取最新相关信息。XHSC 产品依据购销基本合同中载明的销售条款和条件进行销售。
- 客户应针对您的应用选择合适的 XHSC 产品，并设计、验证和测试您的应用，以确保您的应用满足相应标准以及任何安全、安保或其它要求。客户应对此独自承担全部责任。
- XHSC 在此确认未以明示或暗示方式授予任何知识产权许可。
- XHSC 产品的转售，若其条款与此处规定不同，XHSC 对此类产品的任何保修承诺无效。
- 本通知中的信息取代并替换先前版本中的信息。

小华半导体有限公司

地址：	上海市浦东新区中科路 1867 号 A 座 4 楼
网址：	https://www.xhsc.com.cn
邮箱：	XHSC_MCU@xhsc.com.cn
电话：	021-38880888-887

前言

数据格式

- 0x 前缀表示十六进制数据
- 0b 前缀表示二进制数据
- 数字没有前缀表示十进制数据

安全声明

由于使用某个功能或者协议，可能会存在潜在的安全问题，需要进行声明，提醒用户慎用，规避安全风险。

目录

产品特性	i
说明事项	ii
前言	iii
目录	iv
1 产品概述	1
1.1 产品阵容	1
1.2 存储区映射图	2
2 功能描述	3
2.1 32 位 Cortex-M0+ 内核	3
2.2 64KB FLASH	3
2.3 6KB RAM	3
2.4 时钟系统	3
2.5 工作模式	3
2.6 实时时钟 RTC	3
2.7 端口控制器 GPIO	4
2.8 中断控制器 NVIC	4
2.9 复位控制器 RESET	4
2.10 定时器 TIM(删掉表格)	4
2.11 看门狗 IWDG	5
2.12 低功耗同步异步收发器 LPUART	5
2.13 串行外设接口 SPI	5
2.14 高速集成电路总线 HSI2C	5
2.15 时钟校准 CTRIM	6
2.16 器件电子签名	6
2.17 真随机数发生器 TRNG	6
2.18 模数转换器 ADC	6
2.19 模拟电压比较器 VC	7
2.20 低电压检测器 LVD	7
2.21 运算放大器 OPA	7
2.22 线性调整器 LDO	7
2.23 嵌入式调试系统	7
2.24 编程模式	7
2.25 高安全性	8
3 引脚配置及功能	9
3.1 引脚配置图	9
3.1.1 TSSOP24 封装	9
3.2 引脚功能说明	10
3.3 模块信号说明	13
4 典型应用电路图	15
5 电气特性	16
5.1 参数条件	16

5.1.1 最小值和最大值	16
5.1.2 典型数值.....	16
5.2 绝对最大额定值	16
5.3 工作条件	17
5.3.1 通用工作条件.....	17
5.3.2 VCAP 外置电容	17
5.3.3 上电和掉电时的工作条件 (待定)	18
5.3.4 内嵌复位和 LVD 模块特性	18
5.3.5 供电电流特性 (待测)	19
5.3.6 从低功耗模式唤醒的时间	21
5.3.7 内部时钟源特性	22
5.3.7.1 内部高速时钟 RC48M	22
5.3.7.2 内部低速时钟 RCL	22
5.3.7.3 内部低速时钟 RC10K.....	23
5.3.8 Flash 存储器特性	23
5.3.9 I/O 端口特性	23
5.3.9.1 输出特性-端口.....	23
5.3.9.2 输入特性-端口 PA/PB.....	24
5.3.9.3 端口外部输入采样要求-Timer Gate/Timer Clock.....	25
5.3.9.4 端口漏电流特性-端口 PA/PB.....	25
5.3.10 RESETB 引脚特性.....	25
5.3.11 ADC 特性	26
5.3.12 VC 特性	27
5.3.13 OPA 特性 (理论或典型值)	29
5.3.14 LDO 特性 (理论或典型值)	29
5.3.15 定时器特性	30
5.3.16 通信接口.....	31
5.3.16.1 I2C 特性.....	31
5.3.16.2 SPI 特性	31
6 封装信息	34
6.1 封装尺寸	34
6.1.1 TSSOP24 封装(仅供参考)	34

1 产品概述

1.1 产品阵容

型号功能对比表

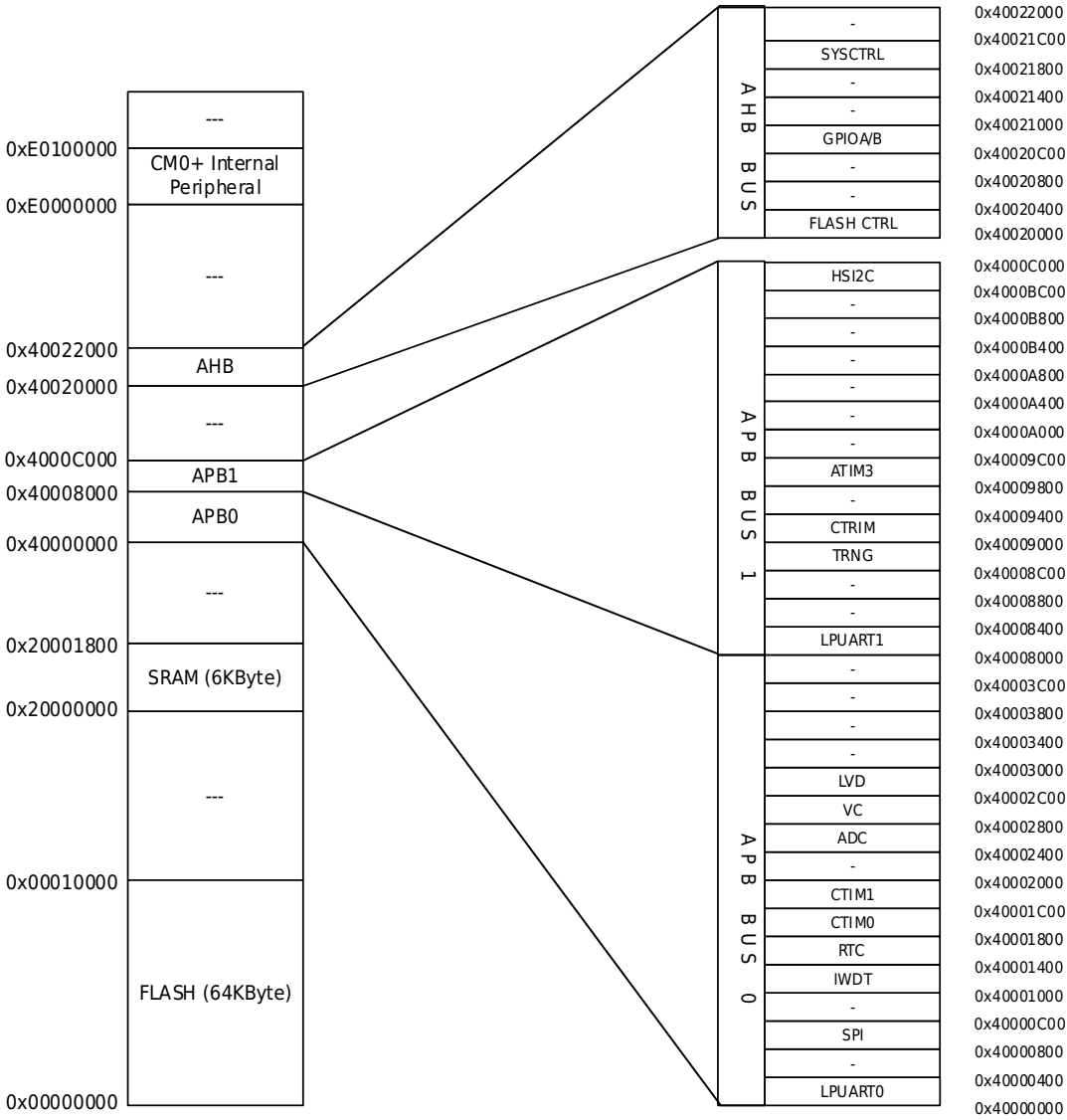
产品名称		HCL02101
引脚数		24
GPIO 数		12+1 ⁽¹⁾
CPU	内核	Cortex-M0+
	频率	48MHz
存储	Flash	64KB
	RAM	6KB
时钟	内部高速时钟	RC48M 4/6/32/48MHz
	内部低速时钟	RCL 32.768/38.4kHz
电源电压范围		3.3~40V
温度范围		-40~ 85℃
端口中断		13
定时器	通用定时器 CTIM0/1	
	高级定时器 ATIM3	
	时钟校准定时器 CTRIM（支持低功耗定时器模式）	
实时时钟（RTC）		1
看门狗定时器（IWDT）		1
通信接口	LPUART0/1	
	I2C（HS）	
	SPI	
模数转换器（ADC，12-bit）		7ch+2（AVCC/3、VCAP）
模拟电压比较器（VC）		VC0/1
低电压检测器（LVD）		1,无输出
线性调整器（LDO）	宽输入电压：3.3-40V	
	低静态功耗：2.5uA（TYP）	
运算放大器（OPA）	2 通道	
	轨到轨输出	
Flash 安全保护		支持
真随机数发生器（TRNG）		支持
调试功能		SWD 调试/下载接口
唯一识别码		支持（80bits）
封装类型		TSSOP24



说明

1. MCU 处于运行态时，RESET 管脚可以复用为 GPIO 输入功能。

1.2 存储区映射图



2 功能描述

2.1 32 位 Cortex-M0+ 内核

ARM Cortex-M0+ 处理器源于 Cortex-M0，包含了一颗 32 位 RISC 处理器，运算能力达到 0.95 Dhrystone MIPS/MHz。同时加入了多项全新设计，改进调试和追踪能力、减少每周期指令（IPC）数量和改进 Flash 访问的两级流水线等，更纳入了节能降耗技术。Cortex-M0+ 处理器已全面支持 Keil&IAR 调试器。

Cortex-M0+ 包含了一个硬件调试电路，支持 2-pin 的 SWD 调试接口。

ARM Cortex-M0+ 特性：

指令集	Thumb/Thumb-2
流水线	2 级流水线
性能效率	2.46 CoreMark/MHz
性能效率	0.95 DMIPS/MHz in Dhrystone
中断	32 个快速中断（本产品支持的中断规格详见“ 中断控制器 NVIC ”）
中断优先级	可配置 4 级中断优先级
增强指令	多周期 32 位乘法器
调试	Serial-wire 调试端口，支持 4 个硬中断（break point）以及 1 个观察点（watch point）

2.2 64KB FLASH

内建全集成 FLASH 控制器，无需外部高压输入，由全内置电路产生高压来编程。支持 ISP、IAP、ICP 功能。具有 4 级安全保护等级。

2.3 6KB RAM

任意功耗模式，RAM 数据均不会丢失。

2.4 时钟系统

- 一个频率为 4/6/32/48MHz 可配置的高精度内部时钟 RC48M。
- 一个频率为 32.768/38.4kHz 的内部时钟 RCL。

2.5 工作模式

1. 运行模式（Active Mode）：CPU 运行，周边功能模块运行。
2. 休眠模式（Sleep Mode）：CPU 停止，周边功能模块运行。
3. 深度休眠模式（Deep Sleep Mode）：CPU 停止，高速时钟模块停止运行。

2.6 实时时钟 RTC

RTC（Real Time Counter）是一个支持 BCD 数据格式的功能模块，可采用内部 32.768kHz 或外部有源晶振作为其时钟，能实现万年历功能，中断周期可配置为月/日/小时/分钟/秒。24/12 小时时间模式，硬件自动修正闰年。具有精确度补偿功能，支持 0.96ppm 或 0.06ppm 精度。可用软件+1/-1 调整年/月/日/小时/分钟/秒，最小可调精度为 1 秒。

用于指示时间和日期的 RTC 日历记录器在 MCU 受外部因素影响而复位时不会复位寄存器。

2.7 端口控制器 GPIO

最多可提供 13 个 GPIO 端口，其中部分 GPIO 与模拟端口复用。每个端口由独立的控制寄存器位来控制。支持边沿触发中断和电平触发中断，可从各种超低功耗模式下把 MCU 唤醒到工作模式。支持位置位、位清零和位置位清零操作。支持 Push-Pull CMOS 推挽输出、Open-Drain 开漏输出。内置上拉电阻，带有施密特触发器功能。

当 PA02 和 PA11 作为 HSI2C 接口时支持不同电压下电平信号通信，即低电压电平识别。

2.8 中断控制器 NVIC

Cortex-M0+ 处理器内置了嵌套向量中断控制器 (NVIC)，支持最多 13 个中断请求 (IRQ) 输入；有四个中断优先级，可处理复杂逻辑，能够进行实时控制和中断处理。

2.9 复位控制器 RESET

本产品具有 6 个复位信号来源，每个复位信号都可以让 CPU 重新运行，绝大多数寄存器会被重新复位，程序计数器 PC 会指向起始地址。

- 数字区域上电掉电复位 POR
- 外部 Reset PAD，低电平为复位信号
- IWDG 复位
- LVD 低电压复位
- Cortex-M0+ SYSRESETREQ 软件复位
- Cortex-M0+ LOCKUP 硬件复位

2.10 定时器 TIM(删掉表格)

类型	名称		位宽	预除频	计数方向	PWM	捕获	互补输出
高级定时器	ATIM3		16/32	1/2/4/8/16/32/64/256	上计数/ 下计数/ 上下计数	6	6	3
通用定时器	CTIM0	GTIM0	16	1~32768	上计数	4	4	1
		BTIM0/1/2	16	1~32768	上计数	-	-	1/1/1
	CTIM1	GTIM1	16	1~32768	上计数	4	4	1
		BTIM3/4/5	16	1~32768	上计数	-	-	1/1/1
时钟校准器	CTRIM		16	2~32768	上计数	-	-	-

复合定时器 CTIM 是可以配置为支持 4 路比较捕获功能的定时器，也可以配置成 3 个基本定时器。基本定时器是只有计时计数功能的定时器。

高级定时器包含定时器 ATIM3，有如下特性：

- PWM 独立输出，互补输出
- 捕获输入
- 脉冲宽度测量
- 正交编码计数功能
- 单脉冲模式

- 外部计数功能
- 死区控制
- 刹车控制
- 边沿对齐、对称中心对齐与非对称中心对齐 PWM 输出

ATIM3 是多通道的通用定时器，可以产生 3 组 PWM 互补输出或 6 路 PWM 独立输出，最多 6 路输入捕获。具有死区控制功能。

2.11 看门狗 IWDG

IWDG 是一个可配置的 12 位定时器，在 MCU 异常的情况下提供复位；RC10K 内部低速时钟输入作为计数器时钟。调试模式下，可选择暂停或继续运行；只有写入特定序列才能重启 IWDG。

2.12 低功耗同步异步收发器 LPUART

2 路低功耗模式下可以工作的同步异步收发器 (Low Power Universal Asynchronous Receiver/Transmitter)，LPUART0/LPUART1。

LPUART 基本功能：

- 配置时钟 PCLK
- 传输时钟 SCLK (SCLK 可选择 XTL、RCL 以及 PCLK)
- 支持同步半双工、异步全双工、单线半双工传输
- 可编程串行通信功能
 - 两种字符长度：8 比特、9 比特
 - 三种校验方式：无检验、奇校验、偶校验
 - 三种停止长度：1 比特、1.5 比特、2 比特
- 支持低功耗模式下收发数据
- 16-bit 波特率计数器
- 支持多机通讯、自动地址识别

2.13 串行外设接口 SPI

SPI 基本特性：

- 可配置为主机或者从机，支持多机模式
- 主机模式最大分频系数为 PCLK/2
- 从机模式最大分频系数为 PCLK/4
- 多种通信模式：全双工、单线半双工、单工
- 两种传输顺序：先收发 MSB 或先收发 LSB
- 多种数据帧长度：4bits~16bits
- 两种 NSS 方式：硬件控制、软件控制
- 可配置的串行时钟极性和相位
- 支持主机模式延后采样

2.14 高速集成电路总线 HSI2C

HSI2C 支持：

- 支持标准、快速、高速模式。
- 从机模式下的高速模式 (Hs-mode)。
- 支持多主机，包括同步和仲裁。多主机意味着可以存在任意数量的主机。此外，主机模式和从机模式可以在传输间隙切换（在发送 STOP 后）。
- 支持 7 位和 10 位寻址。
- 支持软件复位、START 字节和设备 ID（也需要软件支持）。

HSI2C 主机支持：

- 一个字的命令/发送缓冲区（8 位发送数据+3 位命令），一个字的接收缓冲区（8 位接收数据）。
- 命令缓冲区将在启动传输之前等待空闲的 I2C 总线。
- 命令缓冲区可以初始化（重复）START 和 STOP 条件以及一个或多个主机接收传输。
- STOP 条件可以从命令缓冲区生成，也可以在发送缓冲区为空时自动生成。
- 灵活的接收数据匹配功能，可以在数据匹配时产生中断或丢弃不需要的数据。
- 标志和可选中断，用于表示重复 START 条件、STOP 条件、仲裁失败、NACK 和命令字错误。
- 支持可配置的总线空闲超时和引脚拉低超时。

HSI2C 从机支持：

- 独立的 I2C 从机寄存器，以最大限度地减少主/从机之间切换带来的软件额外开销。
- 支持 SMBus 报警地址和广播地址。
- 支持时钟延展。
- 支持发送数据寄存器中断，支持接收数据寄存器中断。
- 软件可控的 ACK 或 NACK，可配置的 ACK/NACK 位时钟延展。以避免发送缓冲区欠载和接收缓冲区溢出错误。
- 支持数据包末尾、STOP 条件或误码检测的标志和中断。
- 支持超低功耗唤醒模式。

2.15 时钟校准 CTRIM

该模块工作于校准模式时可自动实时校准 RC48M/RCL 的输出频率，使 RC48M/RCL 输出频率的精度不再受环境变化影响。该模块工作于定时器模式时，具备通用定时功能且在 DeepSleep 下仍可正常工作。

2.16 器件电子签名

每颗芯片出厂前具备唯一的 10 字节设备标识号，包括 wafer lot 信息，以及芯片坐标信息等。

2.17 真随机数发生器 TRNG

TRNG 是一个真随机数发生器，用来产生真随机数。

2.18 模数转换器 ADC

单调不失码的 12-bit 逐次逼近型模数转换器。

- 12 位转换精度
- 1Msps 转换速度
- 最多 9 路输入通道，包括 7 路外部管脚输入、2 路内部输入（1/3 AVCC 电压、VCAP）
- 2 种参考源：AVCC 电压、EXVREF 引脚

- ADC 的电压输入范围：0~Vref
- 支持 SQR 扫描转换
- 软件可配置 ADC 的转换速率
- 支持片内外设自动触发 ADC 转换，有效降低芯片功耗并提高转换的实时性

2.19 模拟电压比较器 VC

芯片引脚电压监测/比较电路。正、负输入通道可配置：最多 4 个外部输入通道；2 个内部输入通道，包括 1 路内核电压、1 路 64 阶电阻分压。可根据上升/下降边沿产生异步中断，从低功耗模式下唤醒 MCU。可配置的软件防抖和窗口比较功能。定时器 ATIM3 输出的 PWM 信号可以作为空白窗口信号对比较器的输出进行控制。

2.20 低电压检测器 LVD

对芯片电源电压或芯片管脚电压进行检测，支持以下功能：

- 3 路监测源：AVCC、PA03、PA10
- 16 阶阈值电压，1.8~4.8V 可选
- 3 种中断触发方式：高电平/上升沿/下降沿
- 2 种触发结果：复位、中断
- 12 阶滤波配置，防止误触发
- 具备迟滞功能，强力抗干扰

2.21 运算放大器 OPA

芯片内部集成 2 路轨到轨运算放大器，特点如下：

- 低偏置电流
- 低失调电压
- 轨到轨输出
- 低静态电流

2.22 线性调整器 LDO

芯片内部集成一路宽电压输入的线性调整器，特点如下：

- 宽电压输入
- 低静态功耗
- 内置过温过流保护

2.23 嵌入式调试系统

嵌入式调试解决方案，提供全功能的实时调试器，配合标准成熟的 Keil/IAR 等调试开发软件。

2.24 编程模式

支持两种编程模式：在线编程、离线编程。

支持两种编程协议：ISP 协议、SWD 协议。

支持统一编程接口：ISP 协议与 SWD 协议共用 SWD 端口。

2.25 高安全性

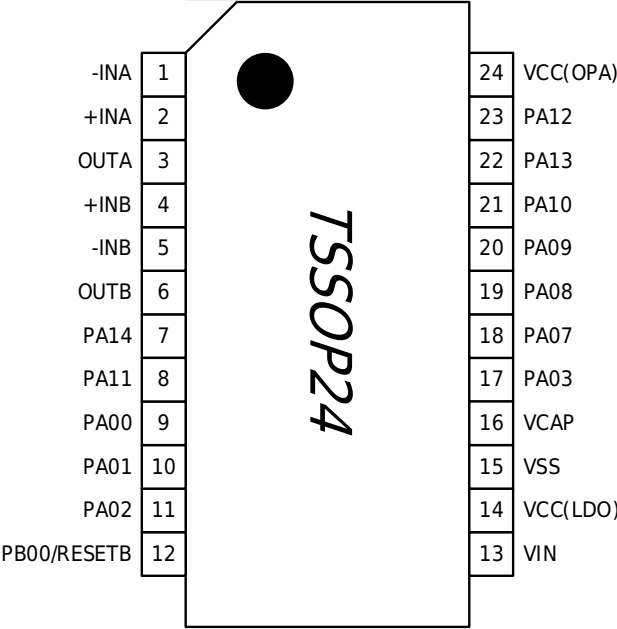
加密型嵌入式调试解决方案，提供全功能的实时调试器。

3 引脚配置及功能

3.1 引脚配置图

3.1.1 TSSOP24 封装

HCL02101



3.2 引脚功能说明

Name	I/O	ANALOG	DIGITAL
OUTB	O	B 路运放输出	-
VCC(OPA)	Power /Ctrl	内部 OPA 电源输入/控制脚	-
VSS	Power	-	-
OUTA	O	A 路运放输出	-
-INA	I	A 路运放负向输入	-
+INA	I	A 路运放正向输入	-
VCC(LDO)/AVCC	Power /Ctrl	内部 LDO 输出脚 内部 MCU 输入脚 近芯片端需外接去耦电容	-
VCAP	Power	外接稳压电容 1uF + 100nF	-
PA07/EXTL_IN	I/O	XTLI	HSI2C_SCL
			SPI_CS
			LPUART0_TXD
			CTIM1_ETR/ATIM3_GATE
PA08	I/O	VC0_IN2	SPI_MISO
			LPUART1_TXD
			IR_OUT
			ATIM3_CH2B/CTIM0_CH0
PA09	I/O	AIN4	SPI_MOSI
			LPUART1_RXD
			ATIM3_CH1B/CTIM0_CH1
PA10	I/O	AIN5/VC1_IN2/LVD_IN1	SPI_SCK
			LPUART0_RXD
			HSI2C_SDA
			CTIM0_CH3
PA11/EXTH_IN	I/O	AIN6	SPI_MOSI
			LPUART0_TXD
			HSI2C_SCL
			ATIM3_CH0A/CTIM0_CH2/CTIM1_ETRTOG
PA13/SWDIO	I/O	-	SPI_MISO
			LPUART0_RXD
			ATIM3_CH2A/CTIM1_CH1/CTIM0_TOG/ATIM3_BK
PA14/SWCLK	I/O	-	LPUART0_TXD
			VC0_OUT
			CTIM1_ETRTOG/CTIM1_ETR/CTIM0_TOGN/TCLK_OUT
PA12	I/O	AIN7/VC1_IN3	SPI_CS
			LPUART1_RXD
			ATIM3_CH1A/CTIM0_CH1
RESETB/PB00	I	-	CTIM0_ETR/ATIM3_ETR/ATIM3_BK
PA00	I/O	AIN0/VC0_IN0	LPUART1_TXD
			CTIM1_CH0/ATIM3_CH0A/ATIM3_GATE/RTC_1HZ
PA01	I/O	VC1_IN0	LPUART1_TXD
			SPI_MISO
			HSI2C_SCL
			ATIM3_CH0B/RTC_TAMP

PA02	I/O	AIN1/EXVREF/VC0_IN1	LPUART1_RXD
			SPI_MOSI
			HSI2C_SDA
			ATIM3_CH2A/CTIM0_CH0/ATIM3_CH1A
PA03	I/O	AIN2/VC1_IN1/LVD_IN0	LPUART0_RXD
			HSI2C_SDA
			SPI_SCK
			CTIM1_TOG/ATIM3_CH1B
VIN	Power in	内部电源输入脚 近芯片端需外接去耦电容	-
+INB	I	B 路运放正向输入	-
-INB	I	B 路运放负向输入	-

每个引脚的数字功能由 PSEL 位域进行控制，详见下表。

表 3-1 端口复用表

AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
PA00	CTIM1_CH0	LPUART1_TXD	-	-	ATIM3_CH0A	RTC_1HZ	ATIM3_GATE
PA01	LPUART1_TXD	-	-	RTC_TAMP	ATIM3_CH0B	SPI_MISO	HSI2C_SCL
PA02	LPUART1_RXD	ATIM3_CH2A	-	CTIM0_CH0	ATIM3_CH1A	SPI_MOSI	HSI2C_SDA
PA03	LPUART0_RXD	HSI2C_SDA	-	CTIM1_TOG	ATIM3_CH1B	SPI_SCK	-
PA07	HSI2C_SCL	-	CTIM1_ETR	-	SPI_CS	LPUART0_TXD	ATIM3_GATE
PA08	-	ATIM3_CH2B	-	CTIM0_CH0	SPI_MISO	LPUART1_TXD	IR_OUT
PA09	-	ATIM3_CH1B	-	CTIM0_CH1	SPI_MOSI	LPUART1_RXD	-
PA10	SPI_SCK	CTIM0_CH3	-	-	LPUART0_RXD	HSI2C_SDA	-
PA11	SPI_MOSI	ATIM3_CH0A	-	CTIM0_CH2	LPUART0_TXD	HSI2C_SCL	CTRIM_ETRTOG
PA12	SPI_CS	-	ATIM3_CH1A	CTIM0_CH1	LPUART1_RXD	-	-
PA13	SPI_MISO	-	ATIM3_CH2A	CTIM1_CH1	LPUART0_RXD	CTIM0_TOG	ATIM3_BK
PA14	CTRIM_ETRTOG	CTIM1_ETR	-	VC0_OUT	LPUART0_TXD	CTIM0_TOGN	TCLK_OUT
PB00	-	-	-	-	CTIM0_ETR	ATIM3_ETR	ATIM3_BK

3.3 模块信号说明

表 3-2 模块信号说明

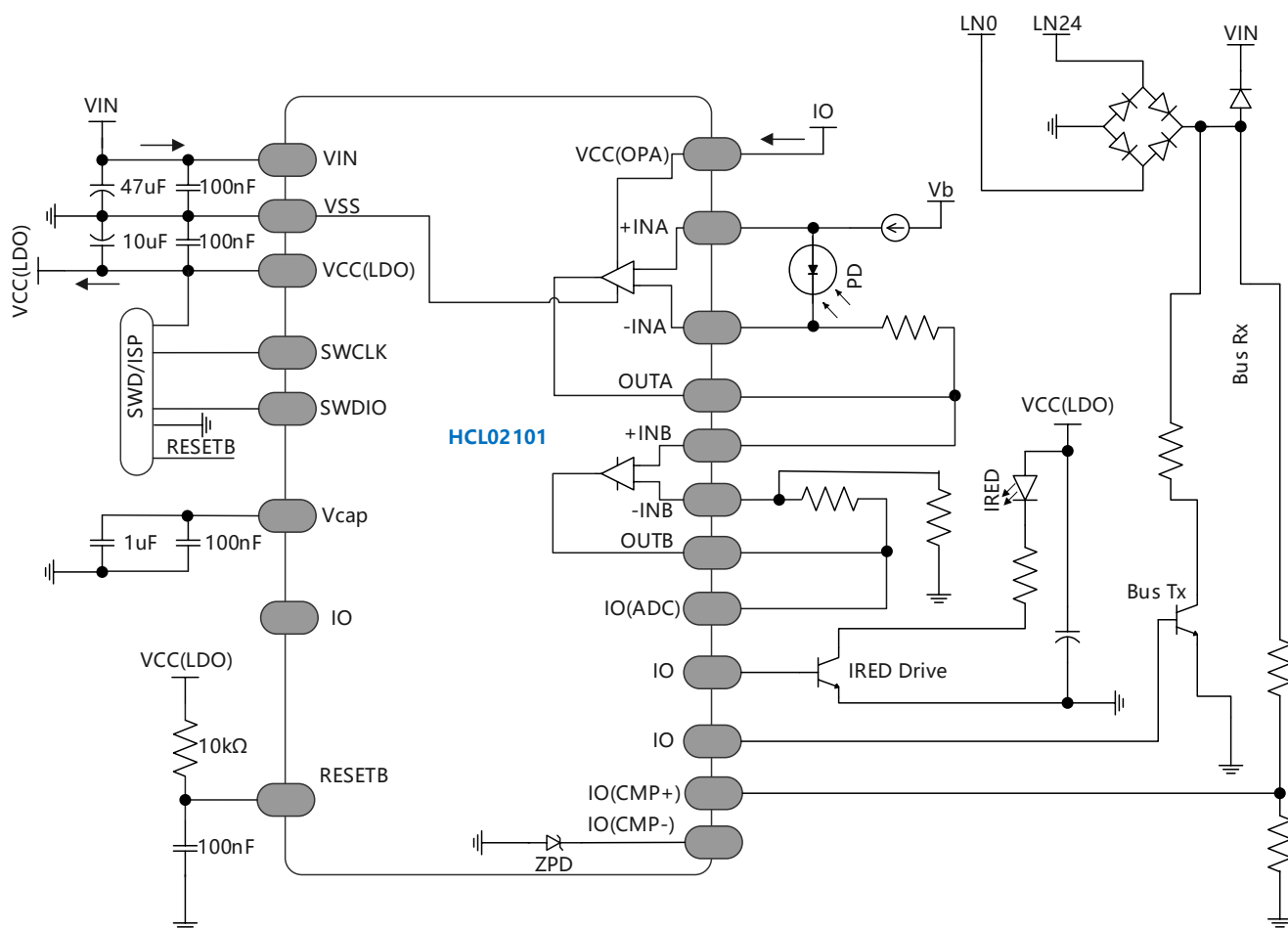
模块	引脚名称	描述
电源	VIN	电源输入，支持 3.3-40V 的电压输入
	VCC(LDO)/AVCC	内部 LDO 输出脚 内部 MCU 输入脚 近芯片端需外接去耦电容
	VCC(OPA)	内部 OPA 电源输入/控制脚
	VSS	地
	VCAP	内核供电脚，(仅限内部电路使用，外接稳压电容 1uF + 100nF)
ADC	AINx(x=0~2, 4~7)	ADC 输入通道
	EXVREF	ADC 外部参考电压
VC	VCx_INy (x=0 y=0~2) (x=1 y=0~3)	VC0/1 输入
	VCx_OUT(x=0)	VC0/比较输出
LVD	LVD_INx(x=0~1)	电压侦测输入
LPUART	LPUARTx_TXD(x=0~1)	LPUART 数据发送端
	LPUARTx_RXD(x=0~1)	LPUART 数据接收端
CTRIM	CTRIM_ETR/TOG	CTRIM 外部同步信号/翻转输出信号
SPI	SPI_MISO	SPI 模块主机输入从机输出数据信号
	SPI_MOSI	SPI 模块主机输出从机输入数据信号
	SPI_SCK	SPI 模块时钟信号
	SPI_CS	SPI 片选
HSI2C	HSI2C_SDA	I2C 模块数据信号
	HSI2C_SCL	I2C 模块时钟信号
RTC	RTC_1HZ	RTC 1Hz 输出
	RTC_TAMP	RTC 时间戳输入
复合定时器 CTIM	CTIMx_CHy (x=0 y=0~3) (x=1 y=0~1)	GTIM 的捕获输入比较输出/BTIM 翻转输出信号
	CTIM0_TOG/TOGN CTIM1_TOG	GTIM/BTIM 的翻转输出信号
高级定时器 ATIM3	ATIM3_CHyA(y=0~2)	ATIM3 的捕获输入比较输出 A
	ATIM3_CHyB(y=0~2)	ATIM3 的捕获输入比较输出 B
	ATIM3_ETR	ATIM3 的外部计数输入信号
	ATIM3_BK	ATIM3 的外部刹车输入信号
	ATIM3_GATE	ATIM3 的门控信号



说明

IO 端口复位为输入高阻状态，休眠模式和深度休眠模式保持之前的端口状态。

4 典型应用电路图



- 各组电源需要外接去耦电容，去耦电容尽量靠近相应电源管脚。
- VCAP 的稳压电容应尽可能靠近芯片端。

5 电气特性

5.1 参数条件

若无另行说明，所有电压的都以 GND 为基准。

5.1.1 最小值和最大值

所有最小值和最大值在最坏的条件下测得。

在每个表格下方的注解中说明为通过设计保证、综合评估得出的数据，不会在生产线上进行测试。

5.1.2 典型数值

除非另有说明，典型数据是基于 $T_A=25^{\circ}\text{C}$ 和 $V_{CC}(\text{LDO})=3.3\text{V}$ 给出的。这些数据仅用于设计指导，并未经过测试。

5.2 绝对最大额定值

加在器件上的载荷如果超过“绝对最大额定值”列表中给出的值，可能会导致器件永久性地损坏。这里只是给出能承受的最大载荷，并不意味在此条件下器件的功能性操作无误。器件长期工作在最大值条件下会影响器件的可靠性。

表 5-1 电压特性

符号	参数	最小值	最大值	单位
Vin-VSS	外部主供电电源脚	0	40	V
VCC(OPA)	内部 OP 电源输入脚	VSS-0.3	VCC(OPA)+0.3	V
V _{ESD} (HBM)	ESD 静电放电电压 (人体模型)	参考绝对最大值电气参数		V



说明

- 所有的电源 (VIN, VCC(LDO), VCC(OPA))和地 (VSS) 引脚必须始终连接到外部允许范围内的供电系统上。
- 具有 ADC 模拟输入通道的 IO 输入电压要在 GND~ VCC(LDO)之间，否则会影响 ADC 转换精度。

表 5-2 电流特性(待定)

符号	参数	最大值 ⁽¹⁾	单位
I _{VCC}	经过 DVCC/AVCC 电源线的总电流 (供应电流) ⁽¹⁾	-	mA
I _{VSS}	经过 VSS 地线的总电流 (流出电流) ⁽¹⁾	-	mA
I _{IO}	任意 I/O 和控制引脚上的输出灌电流	-	mA
	任意 I/O 和控制引脚上的输出电流	-	mA
I _{INJ} (PIN) ⁽²⁾⁽³⁾	RESETB 引脚的注入电流	-	mA
	XTL 的 XTLL 引脚的注入电流	-	mA
	其他引脚的注入电流 ⁽⁴⁾	-	mA
ΣI _{INJ} (PIN) ⁽²⁾	所有 I/O 和控制引脚上的总注入电流 ⁽⁴⁾	-	mA



说明

- 所有的电源 (DVCC, AVCC) 和地 (DVSS, AVSS) 引脚必须始终连接到外部允许范围内的供电系统上。

- 2. $I_{INJ(PIN)}$ 绝对不可以超过它的极限，即保证 V_{IN} 不超过其最大值。如果不能保证 V_{IN} 不超过其最大值，也要保证在外部限制 $I_{INJ(PIN)}$ 不超过其最大值。当 $V_{IN}>V_{CC}(LDO)$ 时，有一个正向注入电流；当 $V_{IN}<V_{SS}$ 时，有一个反向注入电流。
- 3. 反向注入电流会干扰器件的模拟性能。
- 4. 当几个 I/O 口同时有注入电流时， $\sum I_{INJ(PIN)}$ 的最大值为正向注入电流与反向注入电流的即时绝对值之和。该结果基于在器件 4 个 I/O 端口上 $\sum I_{INJ(PIN)}$ 最大值的特性。

表 5-3 温度特性

符号	描述	数值	单位
T_{STG}	储存温度范围	-65~+150	°C
T_J	最大结温度	125	°C

5.3 工作条件

5.3.1 通用工作条件

表 5-4 通用工作条件

符号	参数	条件	最小值	最大值	单位
f_{HCLK}	内部 AHB 时钟频率	-	0	48	MHz
f_{PCLK0}	内部 APB0 时钟频率	-	0	48	MHz
f_{PCLK1}	内部 APB1 时钟频率	-	0	48	MHz
V_{IN}	工作电压 ⁽¹⁾	-	3.3	40	V
T_A	环境温度 ⁽²⁾⁽³⁾	-	-40	85	°C
T_J	结温度范围	-	-40	125	°C

说明

- 1. 当使用 ADC 时，参见 ADC 电气参数。
- 2. $T_A(max)$ 适用于 $P_D(max)$ ，当 $P_D < P_D(max)$ ，环境温度 T_A 在满足结温 T_J 不超过 $T_J(max)$ 时允许高于 $T_A(max)$ ，更多描述请参见[封装热阻系数](#)。
- 3. 在较低的功率耗散的状态下，只要 T_J 不超过 T_{Jmax} ， T_A 可以扩展到这个范围。

5.3.2 VCAP 外置电容

通过将外部电容器 C_{EXT} 连接到 VCAP 引脚来实现主稳压器的稳定性。 C_{EXT} 的指定值详见下表。

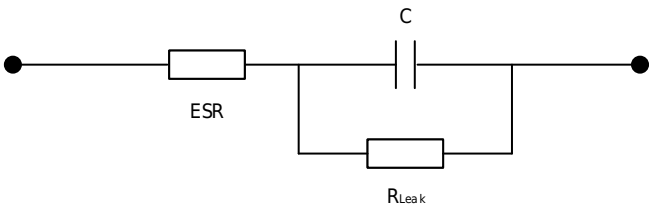


图 5-1 外部电容器 C_{EXT}

说明

ESR 为等效串联电阻。

表 5-5 VCAP 工作条件

符号	参数	条件	最小值	典型值	最大值	单位
C _{EXT} ⁽¹⁾	外置电容容值	-	1	-	4.7	μF
ESR	外置电容 ESR	-	-	-	100	mΩ
VCAP ⁽¹⁾	CPU 内核供电电压	-	1.52	1.6	1.68	V



1. 由综合评估得出，不在生产中测试。

5.3.3 上电和掉电时的工作条件（待定）

表 5-6 上电和掉电的工作条件⁽¹⁾

符号	参数	条件	最小值	最大值	单位
t _{VCC_r}	VCC(LD0)上升速率	-	-	-	V/μs
t _{VCC_f}	VCC(LD0)下降速率	-	-	-	V/μs



1. 由综合评估得出，不在生产中测试。

5.3.4 内嵌复位和 LVD 模块特性

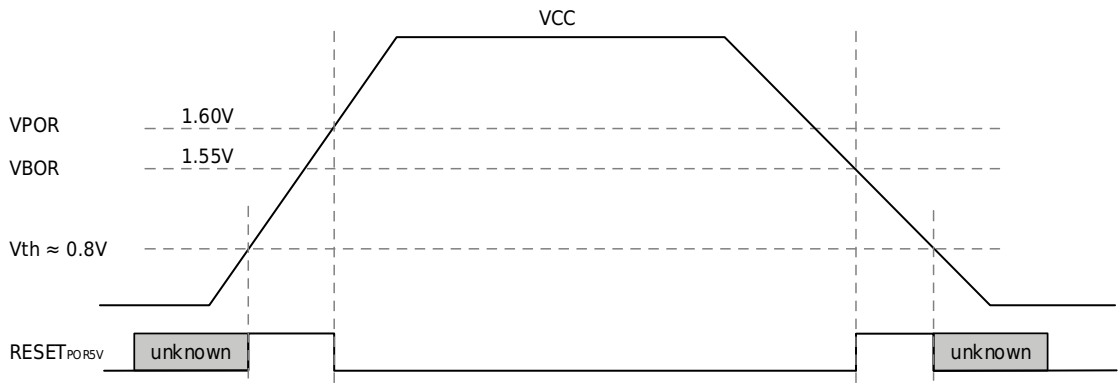


图 5-2 POR/Brown Out 示意图

表 5-7 POR/Brown Out⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
V _{POR}	POR 释放电压（上电过程）	-	1.50	1.60	1.70	V
V _{BOR}	BOR 检测电压（掉电过程）	-	1.40	1.55	1.65	V

表 5-8 LVD 模块特性

符号	参数	条件	最小值	典型值	最大值	单位
V _{ex}	外部输入电压范围	-	0	-	VCC	V
V _{level}	检测阈值	LVD_CR.VTDS=0b0000	1.70	1.80	1.90	V
		LVD_CR.VTDS=0b0001 ⁽¹⁾	1.90	2.00	2.10	V
		LVD_CR.VTDS=0b0010 ⁽¹⁾	2.10	2.20	2.30	V
		LVD_CR.VTDS=0b0011 ⁽¹⁾	2.30	2.40	2.50	V
		LVD_CR.VTDS=0b0100 ⁽¹⁾	2.50	2.60	2.70	V

符号	参数	条件	最小值	典型值	最大值	单位
		LVD_CR.VTDS=0b0101 ⁽¹⁾	2.70	2.80	2.90	V
		LVD_CR.VTDS=0b0110 ⁽¹⁾	2.90	3.00	3.10	V
		LVD_CR.VTDS=0b0111 ⁽¹⁾	3.10	3.20	3.30	V
		LVD_CR.VTDS=0b1000	3.30	3.40	3.50	V
		LVD_CR.VTDS=0b1001 ⁽¹⁾	3.50	3.60	3.70	V
		LVD_CR.VTDS=0b1010 ⁽¹⁾	3.70	3.80	3.90	V
		LVD_CR.VTDS=0b1011 ⁽¹⁾	3.90	4.00	4.10	V
		LVD_CR.VTDS=0b1100 ⁽¹⁾	4.10	4.20	4.30	V
		LVD_CR.VTDS=0b1101 ⁽¹⁾	4.30	4.40	4.50	V
		LVD_CR.VTDS=0b1110 ⁽¹⁾	4.50	4.60	4.70	V
		LVD_CR.VTDS=0b1111	4.70	4.80	4.90	V
I _{comp}	功耗	-	-	0.20	-	μA
T _{response}	响应时间	选择检测 GPIO 管脚电压, VCC(LDO)=3.3V, LVD_CR.VTDS=0b1000, 检测电压由 (V _{level} +100mV)变为(V _{level} -100mV), 变化斜率为 $2 \times 10^5 \text{ V}/\mu\text{s}$	-	90	-	μs
T _{setup}	建立时间	选择检测 GPIO 管脚电压, VCC(LDO)=3.3V, LVD_CR.VTDS=0b1000, 检测电压低 于 V _{level} 100mV	-	400	-	μs
V _{hys}	迟滞电压	-	-	60	-	mV
T _{filter}	滤波时间	LVD_CR.DEBOUNCE_TIME=0b0000	-	0	-	μs
		LVD_CR.DEBOUNCE_TIME=0b0001	-	2*T _{LVD}	-	μs
		LVD_CR.DEBOUNCE_TIME=0b0010	-	4*T _{LVD}	-	μs
		LVD_CR.DEBOUNCE_TIME=0b0011	-	8*T _{LVD}	-	μs
		LVD_CR.DEBOUNCE_TIME=0b0100	-	16*T _{LVD}	-	μs
		LVD_CR.DEBOUNCE_TIME=0b0101	-	32*T _{LVD}	-	μs
		LVD_CR.DEBOUNCE_TIME=0b0110	-	64*T _{LVD}	-	μs
		LVD_CR.DEBOUNCE_TIME=0b0111	-	128*T _{LVD}	-	μs
		LVD_CR.DEBOUNCE_TIME=0b1000	-	256*T _{LVD}	-	μs
		LVD_CR.DEBOUNCE_TIME=0b1001	-	512*T _{LVD}	-	μs
		LVD_CR.DEBOUNCE_TIME=0b1010	-	1024*T _{LVD}	-	μs
		LVD_CR.DEBOUNCE_TIME=0b1011	-	2048*T _{LVD}	-	μs
		LVD_CR.DEBOUNCE_TIME=0b1100	-	4096*T _{LVD}	-	μs
		LVD_CR.DEBOUNCE_TIME=0b1101	-	4096*T _{LVD}	-	μs
		LVD_CR.DEBOUNCE_TIME=0b1110	-	4096*T _{LVD}	-	μs
		LVD_CR.DEBOUNCE_TIME=0b1111	-	4096*T _{LVD}	-	μs



说明

1. 由综合评估得出, 不在生产中测试。
2. T_{LVD} 表示滤波时钟周期, 滤波时钟约 256kHz。

5.3.5 供电电流特性 (待测)

电流消耗是多种参数和因素的综合指标, 这些参数和因素包括工作电压、环境温度、I/O 引脚的负载、产品的软件配置、工作频率、I/O 脚的翻转速率、程序在存储器中的位置以及执行的代码等。

微控制器处于下列条件：

- 所有的 I/O 引脚都处于输入模式，并连接到一个静态电平上——VCC(LDO)或 VSS（无负载）。
- 所有的外设都处于关闭状态，除非特别说明。
- 闪存存储器的访问时间调整到 f_{HCLK} 的频率（0~24MHz 时为 0 个等待周期，24~48MHz 时为 1 个等待周期）。

表 5-9 工作电流特性⁽³⁾ (仅供参考)

符号	参数	条件		典型值 ⁽¹⁾	单位
				25℃	
I _{DD} (Run in RAM)	All peripherals clock ON, Run while(1) in RAM	RC48M clock source	4M	405	μA
			6M	532	μA
			32M	2202	μA
			48M	3245	μA
	All peripherals clock OFF, Run while(1) in RAM	RC48M clock source	4M	303	μA
			6M	379	μA
			32M	1400	μA
			48M	2010	μA
I _{DD} (Run CoreMark)	All peripherals clock OFF, Run CoreMark in Flash	RC48M clock source	4M	574	μA
			6M	738	μA
			32M	1758	μA
			48M	2473	μA
I _{DD} (Run mode)	All peripherals clock ON	RC48M clock source	4M	712	μA
			6M	985	μA
			32M	2364	μA
			48M	3378	μA
	All peripherals clock OFF	RC48M clock source	4M	610	μA
			6M	832	μA
			32M	1556	μA
			48M	2140	μA
I _{DD} (Sleep mode)	All peripherals clock ON, Run while(1) in Flash	RC48M clock source	4M	335	μA
			6M	426	μA
			32M	1638	μA
			48M	2387	μA
	All peripherals clock OFF, Run while(1) in Flash	RC48M clock source	4M	232	μA
			6M	272	μA
			32M	827	μA
			48M	1148	μA
I _{DD} (LP Run)	All peripherals clock ON, Run while(1) in Flash	32K clock source	RCL32K	80	μA
			XTL32K, Driver=2	76	μA
	All peripherals clock OFF, Run while(1) in Flash	32K clock source	RCL32K	79	μA
			XTL32K, Driver=2	75	μA
I _{DD} (LP Sleep)	All peripherals clock ON,	32K clock source	RCL32K	77	μA
			XTL32K, Driver=2	75	μA
	All peripherals clock OFF,	32K clock source	RCL32K	76	μA
			XTL32K, Driver=2	75	μA
I _{DD} (DeepSleep)	All peripherals clock OFF	NO CLK		0.65	μA
		RCL32K		1.02	μA
		XTL32K		1.39	μA
	Other peripherals clock OFF	RCL32K+IWDT		1.23	μA
		RCL32K+LVD		1.14	μA
		RCL32K+IWDT+LVD		1.37	μA

说明

- 1. 若没有其他指定条件，典型值是在 $V_{CC(LDO)}$ 为 3.3V、 V_{CAP} 为 1.6V 测得。
- 2. 若没有其他指定条件，最大值是在 $V_{CC(LDO)}$ 为全工作电压范围、 V_{CAP} 为 1.6V 测得。
- 3. 由综合评估得出，不在生产中测试。

5.3.6 从低功耗模式唤醒的时间

唤醒时间是在 RC48M 振荡器的唤醒阶段测量得到。唤醒时使用的时钟源依当前的操作模式而定：

- 休眠模式：时钟源是 RC48M 振荡器
- 深度休眠模式：时钟源是 RC48M 振荡器

表 5-10 低功耗模式唤醒时间⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
$T_{wu}^{(1)}$	休眠模式唤醒时间	-	-	1.8	-	μs
	深度休眠唤醒时间	$F_{RC48M}=4MHz$	-	15.0	-	μs
		$F_{RC48M}=6MHz$	-	15.0	-	μs
		$F_{RC48M}=32MHz$	-	15.0	-	μs
		$F_{RC48M}=48MHz$	-	15.0	-	μs

 说明

- 1. 由设计保证，不在生产中测试。
- 2. 唤醒时间的测量是从唤醒事件开始至用户程序读取第一条指令。

5.3.7 内部时钟源特性

5.3.7.1 内部高速时钟 RC48M

表 5-14 内部高速时钟 RC48M 振荡器特性

符号	参数	条件	最小值	典型值	最大值	单位
F _{CLK}	振荡频率	-	4.0	4.0 6.0 32.0 48.0	48.0	MHz
TRIM ⁽¹⁾	用户调节频率的步进	-	-	0.12	-	%
Dev ⁽¹⁾	不同温度和 V _{CC} (LDO) 下的振荡频率范围	V _{CC} (LDO) = 1.8~5.5V T _A = -40-105°C F _{CLK} = 4/6MHz	-2.0	-	2.0	%
		V _{CC} (LDO) = 1.8~5.5V T _A = -40-105°C F _{CLK} = 32/48MHz	-1.5	-	1.5	
I _{CLK}	功耗	F _{CLK} = 4MHz	-	60	-	μA
		F _{CLK} = 6MHz	-	66	-	
		F _{CLK} = 32MHz	-	176	-	
		F _{CLK} = 48MHz	-	220	-	
DC _{CLK} ⁽²⁾	占空比	-	45	50	55	%
t _{su} ⁽²⁾	启动时间（从使能到开始输出时钟）	F _{CLK} = 4MHz	-	8.8	20.1	μs
		F _{CLK} = 6MHz	-	8.5	19.8	
		F _{CLK} = 32MHz	-	4.7	12.9	
		F _{CLK} = 48MHz	-	4.7	12.8	



说明

1. 由综合评估得出，不在生产中测试。
2. 由设计保证，不在生产中测试。

5.3.7.2 内部低速时钟 RCL

表 5-15 内部低速时钟 RCL 振荡器特性

符号	参数	条件	最小值	典型值	最大值	单位
F _{CLK}	振荡频率	V _{CC} =3.3V T _A = 25°C	38.2 32.5	38.4 32.768	38.6 33	kHz
TRIM ⁽¹⁾	用户调节频率的步进	-	-	0.5	-	%
Dev ⁽¹⁾	RCL 振荡器精度	RCL@HPM V _{CC} (LDO)=1.8~5.5V T _A =-40-105°C	TBD	-	TBD	%
T _{CLK}	启动时间	-	-	150	-	μs
DC _{CLK} ⁽¹⁾	占空比	-	25	50	75	%



说明

1. 由综合评估得出，不在生产中测试。

5.3.7.3 内部低速时钟 RC10K

表 5-16 内部低速时钟 RC10K 特性

符号	参数	条件	最小值	典型值	最大值	单位
V	Operation voltage	-	1.8	-	5.5	V
Dev ⁽¹⁾	振荡器精度	V _{CC} = 1.8~5.5V T _A = -40~105°C	-50	-	50	%
F _{CLK}	振荡频率	V _{CC} = 3.3V T _A = 25°C	-	10	-	kHz



说明

1. 由综合评估得出，不在生产中测试。

5.3.8 Flash 存储器特性

表 5-17 Flash 存储器特性

符号	参数	条件	最小值	典型值	最大值	单位
EC _{FLASH}	擦写次数 (Sector Erase)	T _A =25°C	20	-	-	kcycles
RET _{FLASH}	数据保存期限	T _A =85°C, after 20 kcycles	20	-	-	Years
T _{b_prog}	编程时间 (字节)	-	22	-	30	μs
T _{w_prog}	编程时间 (字)	-	40	-	52	μs
T _{p_erase}	页擦除时间	-	2	-	3	ms
T _{m_erase}	整片擦除时间	-	30	-	40	ms

5.3.9 I/O 端口特性

5.3.9.1 输出特性-端口

表 5-20 端口输出特性⁽¹⁾

符号	参数	条件	最小值	最大值	单位
V _{OH}	IO 引脚输出高电平	I _{IO} =6mA, V _{CC} (LDO)=3.3V	V _{CC} (LDO)-0.3	-	V
		I _{IO} =12mA, V _{CC} (LDO)=3.3V	V _{CC} (LDO)-0.7	-	V
V _{OL}	IO 引脚输出低电平	I _{IO} =8mA, V _{CC} (LDO)=3.3V	-	V _{SS} +0.3	V
		I _{IO} =16mA, V _{CC} (LDO)=3.3V	-	V _{SS} +0.7	V



说明

1. 由综合评估得出，不在生产中测试。
2. 器件的 I_{IO} 电流必须始终遵循表 5-2 所列的绝对最大额定值，I_{IO} (I/O 端口的 I_{OH} 和 I_{OL}) 的总和不得超过 I_{VCC}。

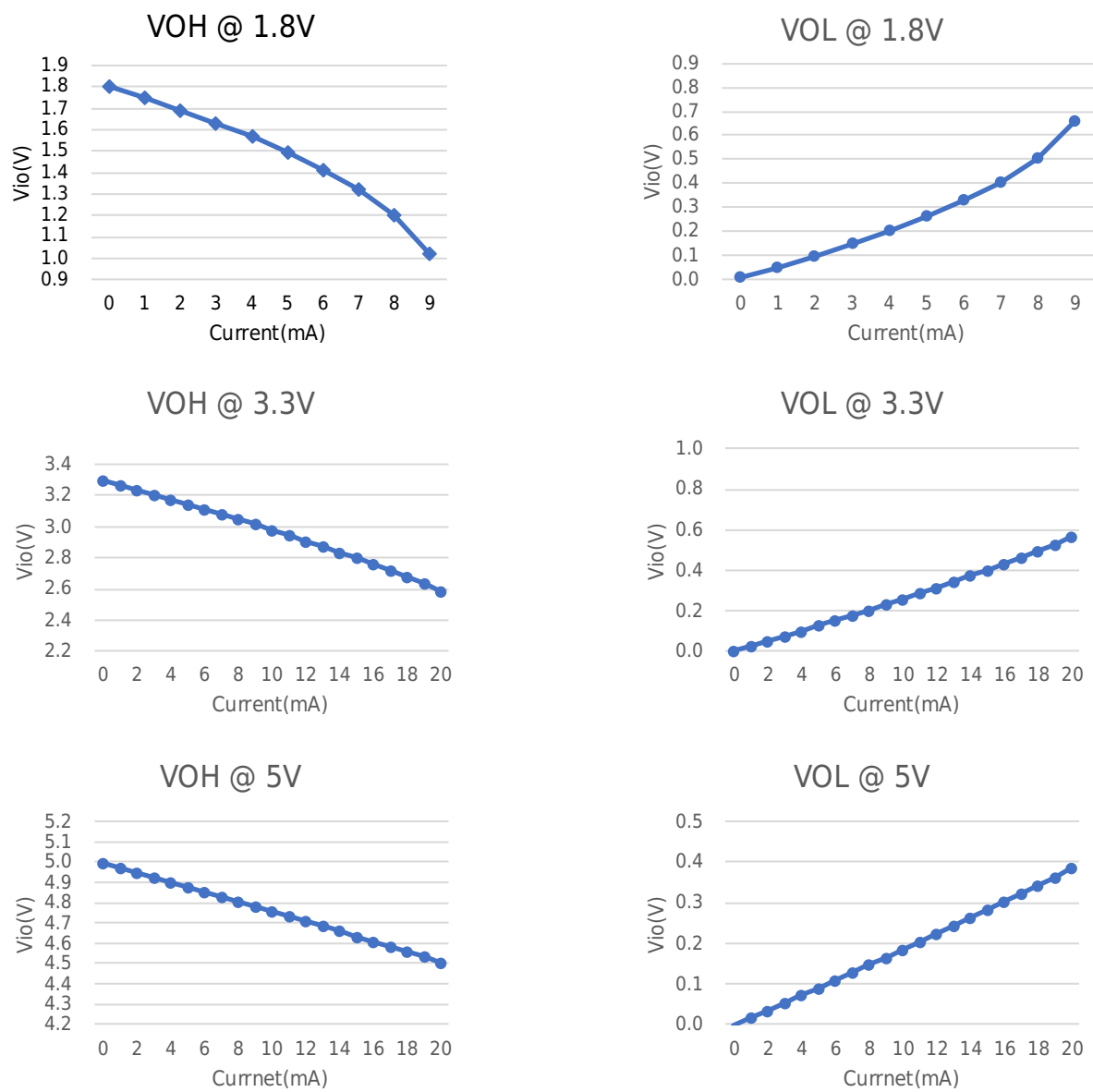


图 5-4 输出端口 VOH/VOL 实测曲线（典型值）

5.3.9.2 输入特性-端口 PA/PB

表 5-21 PA/PB 端口输入特性

符号	参数	条件	最小值	典型值	最大值	单位
VIH ⁽¹⁾	IO 输入高电平电压	VCC(LDO)=1.8V	0.7VCC(LDO)	-	-	V
		VCC(LDO)=3.3V	0.7VCC(LDO)	-	-	V
		VCC(LDO)=5.5V	0.7VCC(LDO)	-	-	V
VIL ⁽¹⁾	IO 输入低电平电压	VCC(LDO)=1.8V	-	-	0.3VCC(LDO)	V
		VCC(LDO)=3.3V	-	-	0.3VCC(LDO)	V
		VCC(LDO)=5.5V	-	-	0.3VCC(LDO)	V
Vhys	输入迟滞 (VIH-VIL)	VCC(LDO)=1.8V	-	0.3	-	V
		VCC(LDO)=3.3V	-	0.4	-	V
		VCC(LDO)=5.5V	-	0.6	-	V

符号	参数	条件	最小值	典型值	最大值	单位
R _{pullhigh}	IO 弱上拉等效电阻	Pullup enabled VCC(LDO)=3.3V	-	60	-	kΩ
C _{input}	IO 引脚电容	-	-	5	-	pF



说明

1. 由综合评估得出，不在生产中测试。

5.3.9.3 端口外部输入采样要求-Timer Gate/Timer Clock

表 5-22 Timer Gate/Timer Clock 外部输入采样要求

符号	参数	条件	最小值	典型值	最大值	单位
t _(cap)	Timer capture timing	Timer capture pulse width	-	0.5	-	μs
t _(clk) ⁽¹⁾	Timer clock frequency applied to pin	Timer external clock input f _{HCLK} =4MHz	-	-	PCLK/2	MHz



说明

1. 由综合评估得出，不在生产中测试。

5.3.9.4 端口漏电流特性-端口 PA/PB

表 5-23 PA/PB 端口漏电流特性

符号	参数	条件	最小值	典型值	最大值	单位
I _{lkg} (P _{x.y})	Leakage current	V _(P_{x.y}) ⁽¹⁾⁽²⁾	-	±50	-	nA



说明

1. 端口漏电流基于相应端口连接到 VSS 或 VCC(LDO)。
2. 端口必须设置为输入端口。

5.3.10 RESETB 引脚特性

RESETB 引脚输入驱动使用 CMOS 工艺，它连接了一个不能断开的上拉电阻。

表 5-24 RESETB 引脚特性

符号	参数	条件	最小值	典型值	最大值	单位
V _{IL} (RESETB) ⁽¹⁾	输入低电平电压	-	-0.3	-	0.3VCC(LDO)	V
V _{IH} (RESETB) ⁽¹⁾	输入高电平电压	-	0.7VCC(LDO)	-	VCC(LDO)+0.3	V
V _{hys} (RESETB)	施密特触发器电压迟滞	-	-	400	-	mV
R _{PU}	弱上拉等效电阻	V _{IN} =V _{SS}	-	60	-	kΩ
T _F (RESETB) ⁽¹⁾	输入滤波脉冲	-	-	-	1	μs
T _{NF} (RESETB) ⁽¹⁾	输入非滤波脉冲	-	5	-	-	μs



说明

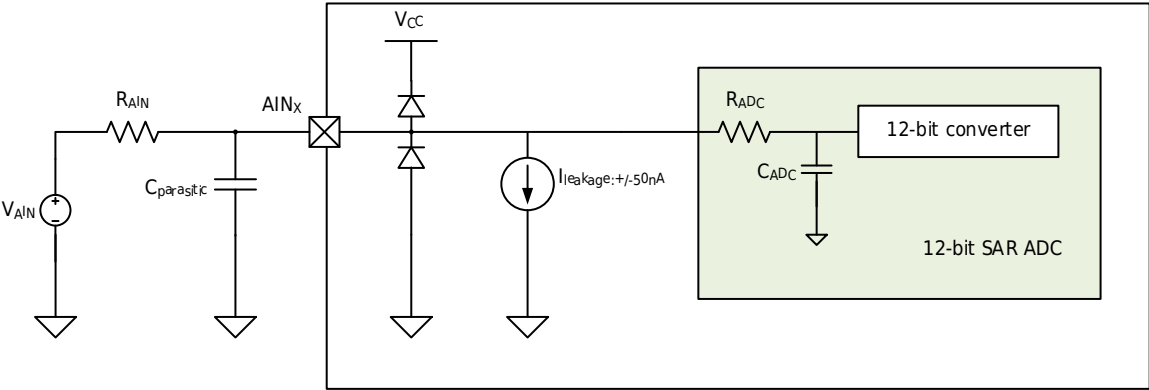
1. 由设计保证，不在生产中测试。

5.3.11 ADC 特性

表 5-25 ADC 特性 (待测)

符号	参数	条件	典型值	单位
AVCC	模拟电源电压	-	3.3	V
VAIN	ADC 输入电压范围	单端输入模式	-	V
VREF+ ⁽¹⁾	正参考电压	-	-	V
VREF-	负参考电压	-	AVSS	V
DEV _{AVCC/3} ⁽²⁾	AVCC/3 精度	-	±2	%
I _{ADC} ⁽¹⁾	工作电流消耗	f _S =1Msps T _S =4/f _{ADCCLK}	0.31	mA
C _{ADC} ⁽¹⁾	ADC 内部采样电容	-	5	pF
R _{ADC} ⁽¹⁾	ADC 内部采样电阻	-	1.5	kΩ
R _{AIN} ⁽¹⁾⁽³⁾⁽⁴⁾	ADC 外部输入阻抗	-	-	kΩ
f _{ADCCLK} ⁽¹⁾	ADC 时钟频率	2.7V≤AVCC≤5.5V	-	MHz
		2.4V≤AVCC<2.7V	-	
		1.8V≤AVCC<2.4V	-	
f _S ⁽¹⁾	采样率	2.7V≤AVCC≤5.5V	-	Msps
		2.4V≤AVCC<2.7V	-	
		1.8V≤AVCC<2.4V	-	
T _{ADCSTART}	启动时间	-	-	μs
T _S	采样时间	-	4	1/f _{ADCCLK}
T _{ADCCONV}	总转换时间 (包括采样时间)	-	T _S +12	
ENOB ⁽²⁾	有效位数	2.7V≤AVCC≤5.5V f _S =1Msps	10.4	bits
SNR ⁽²⁾	信噪比		64.8	dB
THD ⁽²⁾	总谐波失真		-78.7	dB
E _D ⁽²⁾	差分非线性误差		-0.9/1.9	LSB
E _L ⁽²⁾	积分非线性误差		-2.9/1.8	LSB
E _O ⁽²⁾	失调误差		-1.0/10.1	LSB
E _G ⁽²⁾	增益误差		-1.7/3.0	LSB
E _T ⁽²⁾	总不可调整误差		±11.0	LSB

- 1. 由设计保证，不在生产中测试。
- 2. 由综合评估得出，不在生产中测试。
- 3. ADC 的典型应用如下图所示：



对于 0.5LSB 采样误差精度要求的条件下，外部输入阻抗的计算公式如下：

$$R_{AIN} \leq \frac{T_s}{C_{ADC} * (N + 1) * \ln(2)} - R_{ADC} = \frac{M}{f_{ADCCLK} * C_{ADC} * (N + 1) * \ln(2)} - R_{ADC}$$

其中 T_s 为采样时间， N 为 ADC 位数 12， f_{ADCCLK} 为 ADC 时钟频率（ f_{CLK} 除以寄存器 `ADC_CR0.CLKDIV` 所设置的分频比）， M 为采样周期个数（采样时间占 M 个 ADC 时钟周期，具体值请参见寄存器 `ADC_CR0.SAM`）。

下表为典型工作条件下，ADC 最短采样时间 T_s 和外部电阻 R_{AIN} 的关系（ $M=4$ ，采样误差 0.5LSB 的条件下）。对于其它特殊的外部输入阻抗值，亦可以通过前面给出的外部输入阻抗计算公式计算出对应的最短采样时间的要求。

表 5-26 ADC 最短采样时间 T_s 和外部输入阻抗 R_{AIN} 的关系

R_{AIN} (Ω)	最短采样时间 T_s (ns)
10	68.0
47	69.7
68	70.6
100	72.1
150	74.3
220	77.5
330	82.4
470	88.8
680	98.2
1000	112.6
1500	135.2
2200	166.7
3300	216.3
4700	279.3
6800	374.0
10000	518.1
15000	743.4

对于上述典型应用，应注意：

- 尽量减小 ADC 输入端口 AIn_x 的寄生电容 $C_{parasitic}$ 。
- 除了考虑 R_{AIN} 值外，如果信号源 V_{AIN} 的内阻较大时，也需要加入考虑。

4. 基于 $T_j=125^{\circ}\text{C}$ 评估。对于较低的温度，该限制可放宽。

5.3.12 VC 特性

表 5-27 VC 特性

符号	参数	条件		最小值	典型值	最大值	单位
V_{in}	Input voltage range	-		0	-	$V_{CC(LDO)}$	V
V_{com}	Input common mode range	-		0.2	-	$V_{CC(LDO)}-0.2$	V
V_{offset}	Input offset	$AV_{CC}=3.3\text{V}$ $T_A=25^{\circ}\text{C}$	$VCx_CR0.BI$ $AS=0b00$	-	± 15	-	mV

符号	参数	条件		最小值	典型值	最大值	单位
			VCx_CR0.BIAS=0b01	-	±15	-	mV
			VCx_CR0.BIAS=0b10	-	±10	-	mV
			VCx_CR0.BIAS=0b11	-	±5	-	mV
		AVCC=1.8~3.3V, T _A =-40~105℃	VCx_CR0.BIAS=0b00	-	±25	-	mV
			VCx_CR0.BIAS=0b01	-	±25	-	mV
			VCx_CR0.BIAS=0b10	-	±20	-	mV
			VCx_CR0.BIAS=0b11	-	±15	-	mV
I _{comp}	Comparator's current	VCx_CR0.BIAS=0b00 VCx_CR0.BIAS=0b01 VCx_CR0.BIAS=0b10 VCx_CR0.BIAS=0b11	-	0.3 1.2 10 20	-	μA	
T _{response}	Comparator's response time when one input cross another	VCx_CR0.BIAS=0b00 VCx_CR0.BIAS=0b01 VCx_CR0.BIAS=0b10 VCx_CR0.BIAS=0b11	-	2500 1000 400 200	-	ns	
T _{setup}	Comparator's setup time when ENABLE. Input signals unchanged.	VCx_CR0.BIAS=0b00 VCx_CR0.BIAS=0b01 VCx_CR0.BIAS=0b10 VCx_CR0.BIAS=0b11	-	10 2.5 0.7 0.35	-	μs	
V _{hysteresis}	Comparator's hysteresis voltage	VCx_CR0.HYS=0b00 VCx_CR0.HYS=0b01 VCx_CR0.HYS=0b10 VCx_CR0.HYS=0b11	-	0 10 20 30	-	mV	
R _{in} ⁽¹⁾	allowable source resistance of the input signal	-	-	-	100	kΩ	
V _{error_DAC}	Voltage error of DAC in VC	-	-	±25	-	mV	
T _{setup_DAC}	Setup time of DAC in VC	-	-	25	-	μs	
T _{filter}	Digital filter time	VCx_CR1.FLTTIME=0b0000	-	0	-	μs	
		VCx_CR1.FLTTIME=0b0001	-	2*T _{VCx}	-	μs	
		VCx_CR1.FLTTIME=0b0010	-	4*T _{VCx}	-	μs	
		VCx_CR1.FLTTIME=0b0011	-	8*T _{VCx}	-	μs	
		VCx_CR1.FLTTIME=0b0100	-	16*T _{VCx}	-	μs	
		VCx_CR1.FLTTIME=0b0101	-	32*T _{VCx}	-	μs	
		VCx_CR1.FLTTIME=0b0110	-	64*T _{VCx}	-	μs	

符号	参数	条件	最小值	典型值	最大值	单位
		VCx_CR1.FLTTIME=0b0111	-	128*T _V Cx	-	μs
		VCx_CR1.FLTTIME=0b1000	-	256*T _V Cx	-	μs
		VCx_CR1.FLTTIME=0b1001	-	512*T _V Cx	-	μs
		VCx_CR1.FLTTIME=0b1010	-	1024*T _V VCx	-	μs
		VCx_CR1.FLTTIME=0b1011	-	2048*T _V VCx	-	μs
		VCx_CR1.FLTTIME=0b1100	-	4096*T _V VCx	-	μs
		VCx_CR1.FLTTIME=0b1101	-	4096*T _V VCx	-	μs
		VCx_CR1.FLTTIME=0b1110	-	4096*T _V VCx	-	μs
		VCx_CR1.FLTTIME=0b1111	-	4096*T _V VCx	-	μs



说明

1. 由设计保证，不在生产中测试。
2. T_{Vcx} 表示滤波时钟周期，通过 VCx_CR1.FLTCLK 选择内置 RC 振荡器（约 256kHz）或者 PCLK 作为滤波时钟。

5.3.13 OPA 特性（理论或典型值）

符号	参数	条件	最小值	典型值	最大值	单位
输入偏置电流	I _{oF}	VCC(OPA) = 3.3V, VSS = 0V		±5		pA
输入失调电压	V _{os}	VCC(OPA) = 3.3V, VSS = 0V		±0.4		mV
共模抑制比	CMRR	VCC(OPA)= 3.3 V, VSS = 0V - 0.1 V < VCM < VCC(OPA) - 1.4 V TA = -40°C to 125°C		95		dB
电源抑制比	PSRR	VCC(OPA) = 1.8~3.3V, VSS = 0V		105		dB
增益带宽	GBP	VCC(OPA) = 3.3V, VSS = 0V		1		Mhz
压摆率	SR	VCC(OPA) = 3.3V, VSS = 0V		2		V/μs
静态功耗	I _s Per amplifier	VCC(OPA) = 3.3V, VSS = 0V I _{OUT} = 0mA		60		uA



说明

1. 由设计保证，不在生产中测试。

5.3.14 LDO 特性（理论或典型值）

符号	参数	条件	最小值	典型值	最大值	单位
工作电压	V _{IN}	-	3.3	-	40	V
输出电压	V _{OUT}	-40°C ≤ T _A ≤ 85°C	3.2	3.3	3.4	V
最大输出电流	I _{OUTMAX}	-40°C ≤ T _A ≤ 85°C		300		mA

符号	参数	条件	最小值	典型值	最大值	单位
线性调整率	$\Delta V_{OUT}(\Delta V_{IN})$	$V_{IN} = V_{CC(LDO)} + 1V \text{ to } 40V$, $I_{OUT} = 10mA$ ($\Delta V_{CC(LDO)} / \Delta V_{IN} / V_{CC(LDO)}$)		0.05	0.2	%/V
负载调整率	$\Delta V_{OUT}(\Delta I_{OUT})$	$1mA \leq I_{OUT} \leq 300mA$, $V_{IN} = V_{CC(LDO)} + 2V$		7	40	mV
工作电压	V_{IN}	-	3.3	-	40	V



说明

1. 由设计保证，不在生产中测试。

5.3.15 定时器特性

有关输入输出复用功能引脚（输出比较、输入捕获、外部时钟、PWM 输出）的特性详情，参见下表。

表 5-28 高级定时器 (ATIM3) 特性⁽¹⁾

符号	参数	条件	最小值	最大值	单位
t _{res}	定时器分辨时间	-	1	-	t _{TIMCLK}
		f _{TIMCLK} =48MHz	20.8	-	ns
f _{ext}	外部时钟频率	f _{TIMCLK} =48MHz	0	24	MHz
ReStim	定时器分辨率	-	-	16	位
T _{counter}	选择内部时钟时，16 位计数器时钟周期	-	1	65536	t _{TIMCLK}
		f _{TIMCLK} =48MHz	0.0208	1363	μs



说明

1. 由设计保证，不在生产中测试。

表 5-29 复合定时器 (CTIM) 特性⁽¹⁾

符号	参数	条件	最小值	最大值	单位
t _{res}	定时器分辨时间	-	1	-	t _{TIMCLK}
		f _{TIMCLK} =48MHz	20.8	-	ns
f _{ext}	外部时钟频率	f _{TIMCLK} =48MHz	0	24	MHz
ReStim	定时器分辨率	-	-	16	位
T _{counter}	选择内部时钟时，16 位计数器	-	1	65536	t _{TIMCLK}



说明

1. 由设计保证，不在生产中测试。

表 5-30 IWDG 特性⁽¹⁾

符号	参数	条件	最小值	最大值	单位
t _{res}	IWDG 溢出时间	f _{WDGCLK} =10kHz	0.4	209715.2	ms



说明

1. 由设计保证，不在生产中测试。

5.3.16 通信接口

5.3.16.1 I2C 特性

I2C 接口特性如下表：

表 5-31 I2C 接口特性⁽¹⁾

符号	参数	标准模式 (100k)		快速模式 (400k)		高速模式 (1M)		单位
		最小值	最大值	最小值	最大值	最小值	最大值	
t _{LOW}	SCL 时钟低时间	4.7	-	1.25	-	0.5	-	μs
t _{HIGH}	SCL 时钟高时间	4.0	-	0.6	-	0.26	-	μs
t _{SU.DAT}	数据建立时间	250	-	100	-	50	-	ns
t _{HD.DAT}	数据保持时间	0	-	0	-	0	-	μs
t _{HD.STA}	(重复) START 条件保持时间	2.5	-	0.625	-	0.25	-	μs
t _{SU.STA}	重复 START 条件建立时间	2.5	-	0.6	-	0.25	-	μs
t _{SU.STO}	STOP 条件建立时间	0.25	-	0.25	-	0.25	-	μs
t _{BUF}	总线空闲 (STOP 条件至 START 条件)	4.7	-	1.3	-	0.5	-	μs



说明

1. 由设计保证，不在生产中测试。

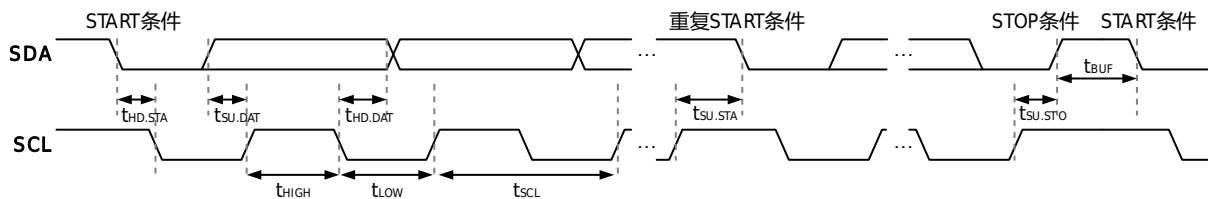


图 5-6 I2C 接口时序

5.3.16.2 SPI 特性

表 5-32 SPI 接口特性⁽¹⁾⁽²⁾

符号	参数	条件	最小值	最大值	单位
t _c (SCK)	串行时钟的周期 ⁽³⁾	主机发送模式 f _{PCLK} =48MHz	41.6	-	ns
		主机接收模式 (关闭主机延时采样) f _{PCLK} =48MHz	166	-	ns
		主机接收模式 (开启主机延时采样) f _{PCLK} =48MHz	83.3	-	ns
		从机发送模式 (关闭主机延时采样) f _{PCLK} =48MHz	166	-	ns
		从机发送模式 (开启主机延时采样) f _{PCLK} =48MHz	83.3	-	ns

符号	参数	条件	最小值	最大值	单位
		从机接收模式 $f_{PCLK}=48MHz$	83.3	-	ns
$t_{w(SCKH)}$	串行时钟的高电平时间	主机模式	$0.45 \times t_c(SCK)$	-	ns
		从机模式	$0.45 \times t_c(SCK)$	-	ns
$t_{w(SCKL)}$	串行时钟的低电平时间	主机模式	$0.45 \times t_c(SCK)$	-	ns
		从机模式	$0.45 \times t_c(SCK)$	-	ns
$t_{su(SSN)}$	从机选择的建立时间	从机模式	$0.45 \times t_c(SCK)$	-	ns
$t_{h(SSN)}$	从机选择的保持时间	从机模式	$0.45 \times t_c(SCK)$	-	ns
$t_v(MO)$	主机数据输出的生效时间	-	-	3	ns
$t_h(MO)$	主机数据输出的保持时间	-	0	-	ns
$t_v(SO)$	从机数据输出的生效时间	-	-	$20 + 1.5 \times T_{PCLK}$	ns
$t_h(SO)$	从机数据输出的保持时间	-	$14 + 0.5 \times T_{PCLK}$	-	ns
$t_{su(MI)}$	主机数据输入的建立时间	-	20	-	ns
$t_h(MI)$	主机数据输入的保持时间	-	2	-	ns
$t_{su(SI)}$	从机数据输入的建立时间	-	0	-	ns
$t_h(SI)$	从机数据输入的保持时间	-	$2 + 1.5 \times T_{PCLK}$	-	ns



说明

1. 由设计保证，不在生产中测试。
2. 数据基于 $V_{CC(LDO)}=3.0V$ 条件给出。
3. 主机模式最大分频系数为 $PCLK/2$ ，从机模式最大分频系数为 $PCLK/4$ 。

SPI 接口信号的波形和时序参数如下：

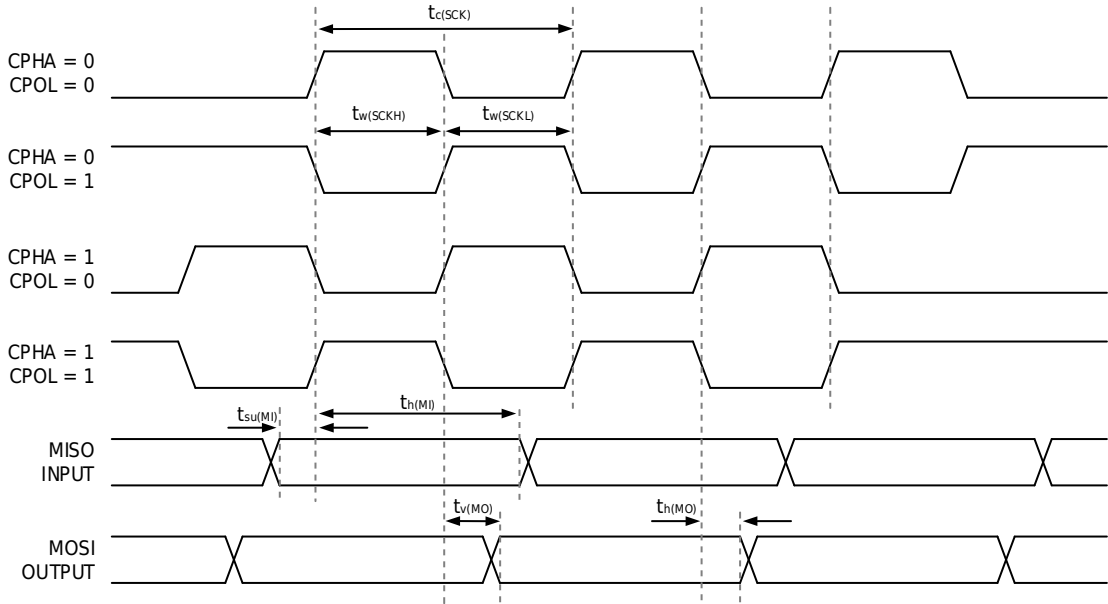


图 5-7 SPI 时序图（主机模式）

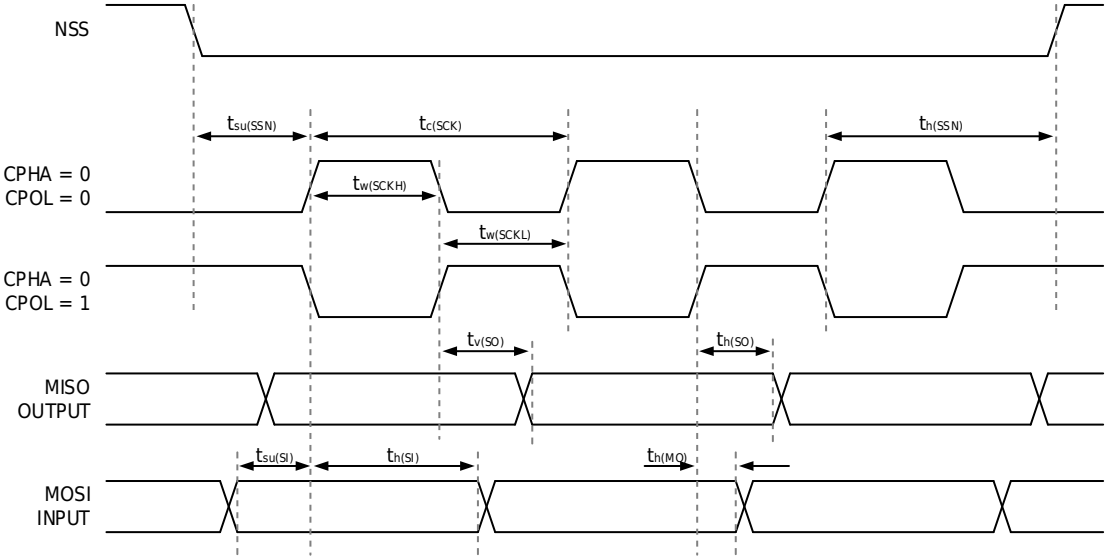


图 5-8 SPI 时序图 (从机模式 CPHA=0)

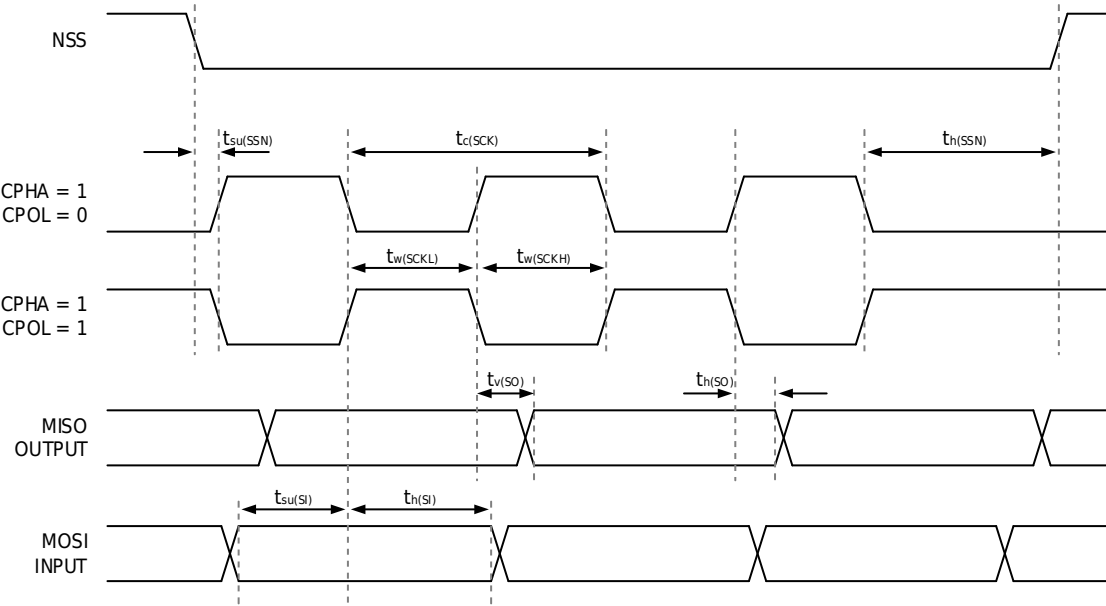
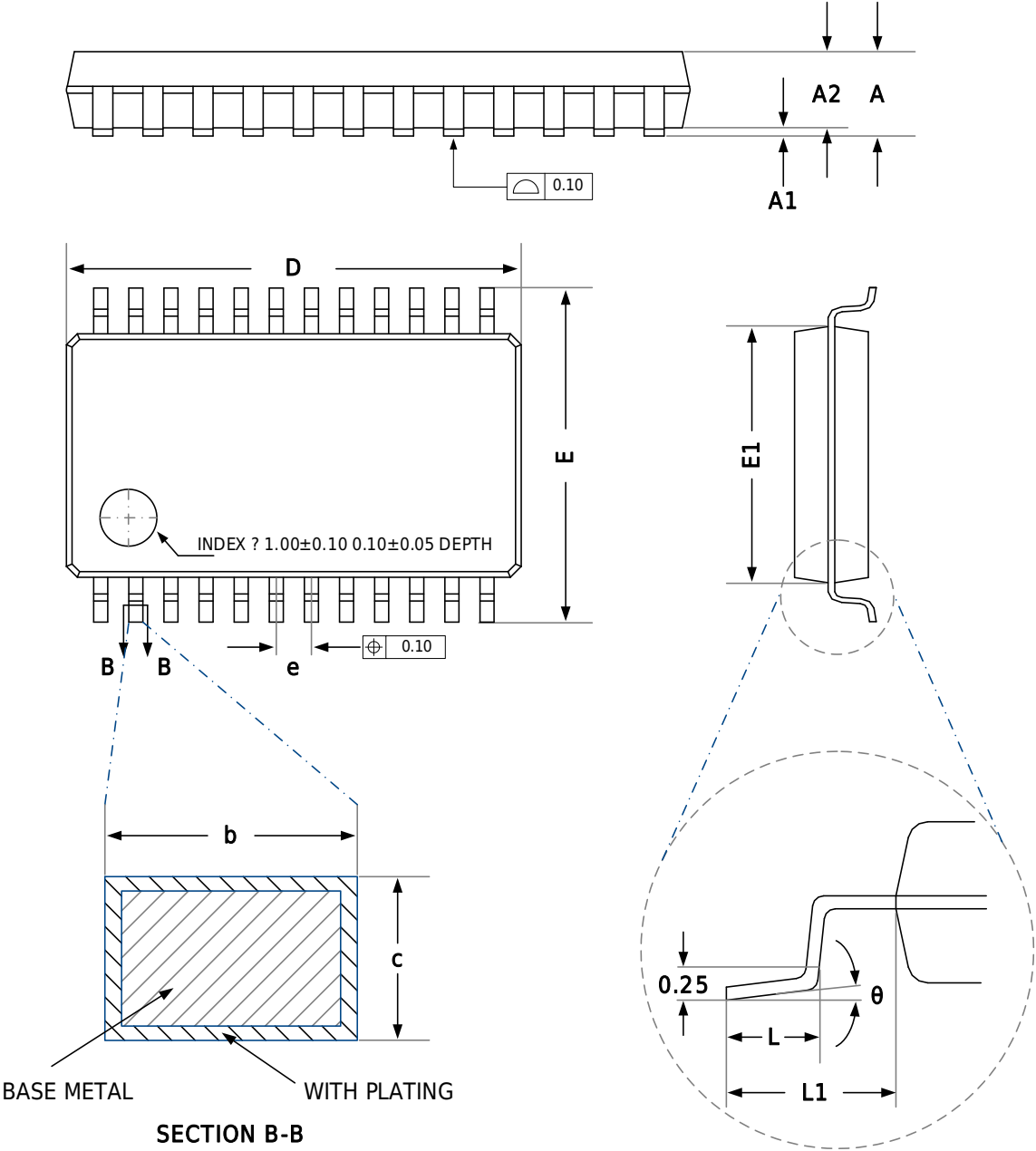


图 5-9 SPI 时序图 (从机模式 CPHA=1)

6 封装信息

6.1 封装尺寸

6.1.1 TSSOP24 封装(仅供参考)



Symbol	TSSOP24 millimeter		
	Min	Nom	Max
A	--	--	1.20
A1	0.05	--	0.15
A2	0.80	0.90	1.00
b	0.20	--	0.29
c	0.10	--	0.19
D	7.70	7.80	7.90
E	6.20	6.40	6.60
E1	4.30	4.40	4.50
e	0.55	0.65	0.75
L	0.45	0.60	0.75
L1	1.00REF		
θ	0	--	8°



说明

Dimensions “D” and “E1” do not include mold flash.